第2章

高速メモリ搭載ボードを効率良く開発するための手引き

―― I/O規格を理解し，設計ツールを有効に活用しよう



福田光治

DDR（double data rate）インターフェースを採用した高速メモリを搭載するボードの設計について，筆者が開発したボードを例に勘どころを説明する．高速で多ビットのデータ転送を行うメモリ・インターフェースでは，ボード開発の最初に行う配置配線の仕様切りが重要なポイントとなる．信号のグループごとの等長配線やI/Oの終端方法などを十分に考慮しておくことで，その後の設計がスムーズに進む．（編集部）

筆者ら（PALTEK）は，x4（4レーン）のPCI Expressアドイン・カードを設計しました注1．このアドイン・カードには，DDR SDRAM（200ピンSO-DIMM）や米国Xilinx社のFPGA「Spartan-3ファミリ」などが搭載されています（**写真1**）．

ここでは，本アドイン・カードをもとに，高速化するメモリ・インターフェースを高密度に，かつ低コストで実現するための手法について解説します．

1．メモリ・インターフェースの設計思想の検討

ここで言う「設計思想の検討」とは，メモリ・インターフェースを活用してどういった機能やストレージ・システムを構成するかという開発初期段階の方式検討を指します．現在，メモリ・インターフェースには数多くの種類のI/O規格が存在します．そのため，設計者は開発する各アプリケーションやシステム構成の検討段階において，さまざまな規格や技術を検討する必要があります．

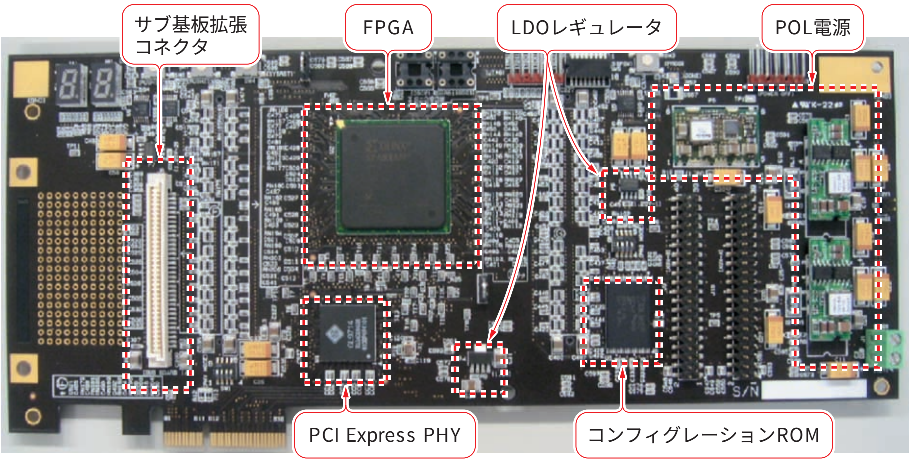
高速シリアル・インターフェースの登場により，データ転送はGbpsオーダの帯域幅を実現し，大容量データを高速に転送できるようになりました．DDRメモリ・インターフェースもデータ転送の高速化に伴い，選択するメモリの種類や容量，帯域幅，クロック速度，I/O規格，メモリ・

表1 メモリの種類と特徴
DDR，DDR2，DDR3の各メモリ・インターフェースの技術の比較表．データ転送速度の向上に伴い，インターフェース規格も変化していることがわかる．シグナル・インテグリティ対策として，終端技術がメモリそのものに搭載されている

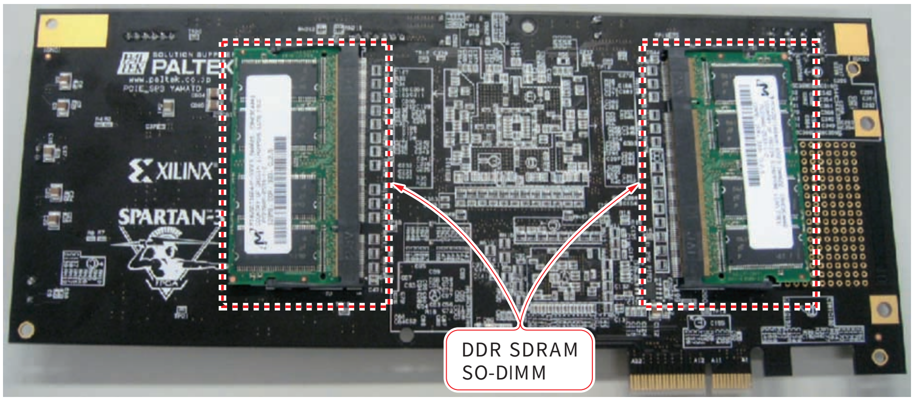
特　徴	DDR SDRAM	DDR2 SDRAM	DDR3 SDRAM
電源電圧（V_{DD}，V_{DDQ}）	2.5V	1.8V	1.5V
I/O規格	SSTL-2	SSTL-18	SSTL-15
メモリ容量（代表値）	64Mビット～1Gビット	256Mビット～2Gビット	512Mビット～8Gビット
データ転送速度	200M/266M/333M/400Mbps	400M/533M/667M/800Mbps	800M/1066M/1333M/1600Mbps
読み出しレイテンシ（CL）	2/2.5/3	3/4/5	5/6/7/8/9/10
追加レイテンシ（AL）	―	0/1/2/3/4	0/CL－1/CL－2
書き込みレイテンシ	1	読み出しレイテンシー1	5/6/7/8＋AL
終端技術	基板上終端	基板上終端/ODT	基板上終端/ODT
パッケージ	TQFP/TSOP/FBGA	FBGA	FBGA

注1：今回のPCI Expressアドイン・カードは評価用ボードである．実際の基板設計に関する技術の蓄積や設計で懸念される事項を明確化することで，顧客へのサポートを向上させるために筆者らが設計した．

KeyWord
DDR SDRAM，PCI Express，SO-DIMM，Spartan-3，DDR2 SDRAM，DDR3 SDRAM，ODT，DVI，SSTL-2，等長配線，有効サンプリング・ウィンドウ，フライバイ終端，ChipSync，IBIS



（a）表面



（b）裏面

写真1
PCI Express 評価用アドイン・カード

コントローラの設計，電源の選択，基板配線仕様，部品配置の検討など，非常に多くの問題を解決しなければなりません．

表1にDDRメモリ・インターフェースの特徴を挙げておきます．DDRメモリには，ODT（On Die Termination）注2の採用やI/O規格の低電圧化，BGAパッケージング技術などが取り入れられており，シグナル・インテグリティ（信号波形の品質）の向上や基板設計時のいくつかの問題の改善が図られています．

設計思想の検討段階では，そういったDDRメモリ・インターフェースの特徴を考慮したうえで，設計対象のアプリケーションに必要な転送速度やメモリを選択します．

● 容量と実装面積を考慮してDDR SO-DIMMを採用

今回設計した基板の機能の一つとして，PCI Expressインターフェースを用いてDVI（digital video interface）出力を実現しています．また，PCI Expressアドイン・カードはデスクトップ・パソコン内のメイン・ボードに搭載できることが前提であるため，その外形寸法などには厳しい制約があります．実装面積やDVI用のビデオ・フレーム・メモリとして利用することを考慮して，今回はDDR SO-DIMM（small out-line dual in-line memory module）を採用しています．SO-DIMMのようなモジュール・タイプのメモリを採用することによって，データ容量に応じて搭載するメモリ容量を変更することが可能となります．

また，PCI ExpressにはPIPEインターフェース(1)と呼ばれる，DDR SDRAMのI/O規格と同じ2.5V電源電圧を基本としたSSTL-2規格(2)が用いられています．これにより，2.5V電源電圧を統一できるため，電源系統や基板電源層の設計が容易になります．

メモリ・コントローラとしてはFPGA（Spartan-3）を採用しました．これにより，FPGAの持つピン配置の自由度

注2：ODTは，メモリ・チップのダイ上に終端抵抗を内蔵する技術．

を生かした基板設計を行えます．また，Spartan-3には信号の終端機能として，シグナル・インテグリティの改善や部品点数の削減を可能にするDCI（Digitally Controlled Impedance）注3という技術が採用されています．これを利用して，SSTL-2規格に必要な基板上の終端抵抗を低減しました．

設計思想の検討の際には，データ転送速度やメモリ容量だけでなく，メモリの特徴や基板の制約，電源系統，メモリ・コントローラとなるFPGAの機能，使用するI/O規格などを十分に把握することが重要です（**表2**）．

2．配置配線仕様の検討

プリント基板設計に必要となる配線仕様を決定する際には，メモリ・インターフェースに使用する信号とその周波数，I/O規格に適合した終端スキーム，等長配線グループ，等長配線誤差を考慮した検討を行わなければなりません．

● 信号グループごとに「可能な限り」等長配線を

まず，DDRメモリ・インターフェースに使用する各信号を，以下のように等長配線の信号グループに区分けします．

1）システム・クロックのグループ（CK/CK#）

- CKE：クロック・イネーブル
- CS#：チップ・セレクト
- RAS#：行アドレス・ストローブ
- CAS#：列アドレス・ストローブ
- WE：ライト・イネーブル
- A：アドレス

表2　基板仕様

今回設計したアドイン・カードの仕様を示す

PCI Express仕様	PCI Express x1/x4レーン，8/16ビットPIPEインターフェース対応
PHYチップ	台湾Genesys Logic社「GL9714」
FPGA	米国Xilinx社「Spartan-3XC3S4000-5FG900C」
PROM	米国Xilinx社「XCF16PVO48C」
メモリ	DDR SO-DIMMスロット2個搭載
サブボード	DVIインターフェース・ボード，汎用I/Oボード
電　源	POL型DC-DCコンバータ：ベルニクス「BSV-3.3S6R0M」，「BST12-0.7S06PCM」
	LDOレギュレータ：米国National Semiconductor社「LP3855」，「LP2996」
そのほか	サブボード用拡張コネクタ，汎用I/Oコネクタ，JTAGポート，外部電源ポート，7セグメントLED（2個），DIPスイッチ（8個），テスト端子など

- BA：バンク・アドレス

2）データ・ストローブのグループ（DQS）

- DQ：データ入出力
- DM：データ・マスク

それぞれのグループに属する配線は，可能な限り等長配線を守る必要があります．「可能な限り」というのは，DIMMなどのメモリ・モジュールの場合，非常に多くの配線が存在するため，配線領域や基板層数のつごう上，完全にすべての配線を等長にすることが困難だからです．よって等長配線仕様については，誤差の検討が必要になります．その際に非常に有効なのが，基板配線による伝播遅延の大きさとFPGAの付加遅延機能になります．

一般に，基板材料にFR-4を用いた場合の配線の伝播遅延は約0.06ns/cm程度です．つまり，10cmで約0.6ns程度の遅延が発生することがわかります．実際の配線ルールを決定する場合，メモリとFPGAの部品配置により配線長が変化するため，それに合わせて等長配線誤差を検討する必要があります．配線誤差を決定する際に参考とするのは，データの有効サンプリング・ウィンドウの大きさです．125MHz動作のDDR SDRAMの書き込みタイミングの例を**表3**に示します[(3), (5)]．クロック・スキューや位相オフセットの値などから有効サンプリング・ウィンドウを算出することができます．この有効サンプリング・ウィンドウの大きさや配線長，配線による伝播遅延から等長配線の許容値を策定する必要があります．

配線長の誤差によって発生するクロックとデータの間のスキューを解決する手法として，今回用いたXilinx社のFPGAの持つ遅延付加機能を活用する方法もあります（p.85のコラム「FPGAによる高速メモリ・インターフェースに対する効果的なアプローチ」を参照）．

● SSTL-2の終端方法

次にSSTL-2の終端スキームの配線仕様として，フライバイ（Fly-By）終端を用いました．これにより，余分な配線領域（スタブ）を最小にし，シグナル・インテグリティを確保できました（**図1**）．

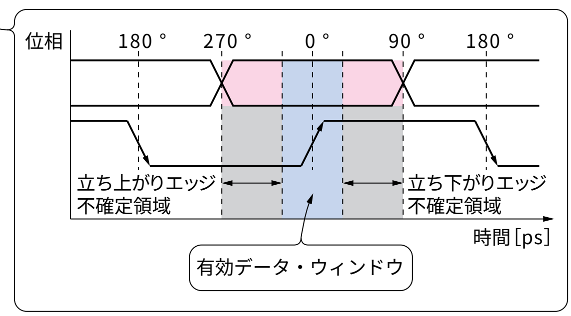
また，終端電源（V_{TT}）は1.25Vという低電圧であり，かつ高速に動作するDDRインターフェースの終端用電源として安定した電源供給が必要になります．そこで，デカッ

注3：DCIは，Xilinx社のFPGAに搭載されているディジタル制御インピーダンスのこと．チップ内で終端抵抗の機能を実現できる．

表3　クロック周波数125MHzのDDR SDRAMの書き込みタイミング

使用するFPGAのスキューやジッタ値の情報から，データとクロックのタイミング関係を算出できる．配線長の仕様を決定する際にはデータの有効期間にクロッキングできるように，タイミング関係を事前に検討しておく必要がある

パラメータ	値[ps]	立ち上がりエッジ不確定値[ps]	立ち下がりエッジ不確定値[ps]	詳　細
T_{CLOCK}	8000	—	—	クロック周期
T_{DCD}	±400	400	400	クロック・デューティ・サイクルひずみ：クロック周期の5%と等価
T_{CLOCK_PHASE}	3600	—	—	データ・サイクル：$(T_{CLOCK}/2)-T_{DCD}$
T_{SETUP}	450	450	0	メモリのDQ/DMのセットアップ時間
T_{HOLD}	450	0	450	メモリのDQ/DMのホールド時間
$T_{PACKAGE_SKEW}$	±45	45	45	パッケージ・スキュー
T_{JITTER}	0	0	0	DQおよびDQSを同一DCMで生成した場合のクロック・ジッタ
$T_{CLOCK_SKEW_FPGA}$	±25	25	25	DQとDQSのグローバル・クロック・ラインのスキュー
$T_{CLOCKOUT_PHASE}$	±140	140	140	二つのDLL出力間の位相オフセット
不確定値の合計	2120	1060	1060	
有効データ・ウィンドウ	1880	1060	2940	



プリング・コンデンサを配置します(**図2**)．

● 多ピン・デバイスのピン配置はツールを使って効率化

続いてFPGAのピン配置を検討します．今回採用したXilinx社のFPGA「XC3S4000-5FG900C」は，合計900ピンという非常に多数のピンを備えたFBGA(fine pitch ball grid array)パッケージの高集積デバイスです．そのため，ピン機能やピン番号からの情報だけではピン配置に時間がかかり，失敗のリスクも非常に高くなります．そこで今回は，Xilinx社のFPGA開発ツール「ISE」の機能を利用してピン配置を決定しました．

実際のピン配置の工程では，ISEに付属する「PACE(Pinout and Area Constraints Editor)」というピン配置ツールを利用します．PACEを用いて，専用のGUIによって表示されたデバイス・ビューを見ながら，設計上のピンをドラッグ・アンド・ドロップして配置していきます．配置されたピンは視覚的に把握できるように，グループごとに色別表示されます．また，本ツールにはI/O規格やFPGA上のバンクの指定，差動信号のピン割り当てなどの機能が搭載されているので，これらを有効利用するとよいでしょう(**図3**)．

今回採用したモジュール・タイプのメモリの場合，基板上の部品配置を大まかに検討し，配線領域と配線層数の制約を把握したうえで，PACEを用いてピン配置を実施しま

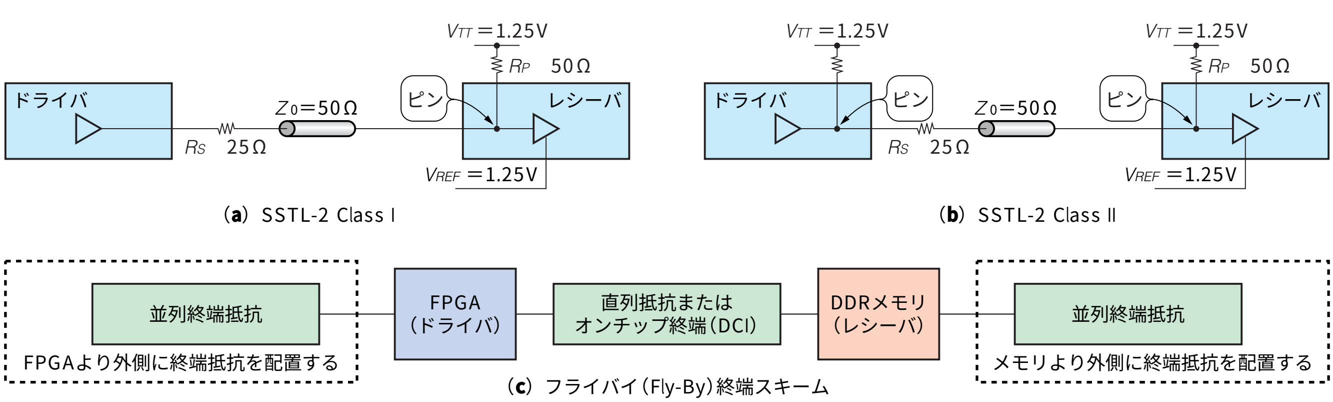


図1　SSTL-2の終端構成

SSTL規格には，Class IとClass IIの二つの終端方法が存在する．各終端には直列抵抗と並列プルアップ抵抗が必要となる．フライバイ(Fly-By)終端では，レシーバ・デバイスのピンよりも外側に終端抵抗を設置することによって，配線スタブを低減している

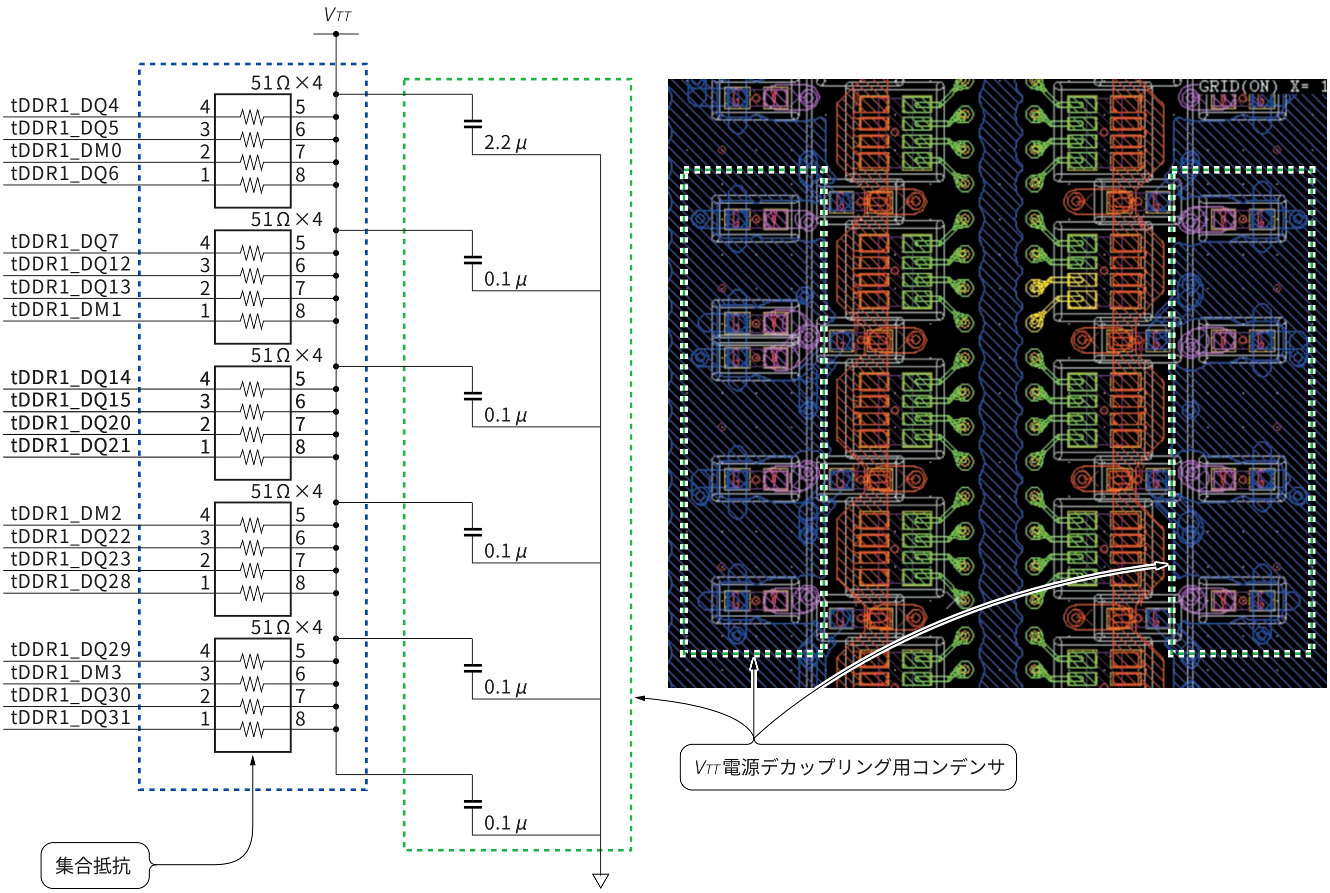


図2　終端電源のデカップリング

プルアップ終端の電源（V_{TT}）のデカップリングによって，安定した電源供給を実現できる．また，終端抵抗には実装面積低減のために集合抵抗を採用している

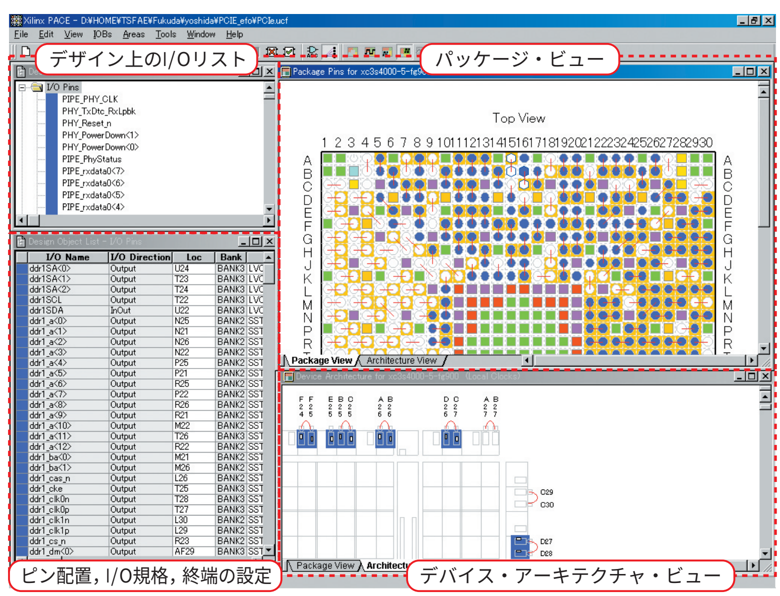


図3
PACEによるピン配置設定

GUIを使用してI/O規格やピン配置などの制約設定を行える．パッケージ・ビューを使用してピン配置状況を確認しながらピン・スワップなどを実行する

した．SSTL-2のように基板上に複数の終端抵抗が必要になるI/O規格の場合，部品点数や部品実装面積を低減するために，複数の抵抗やコンデンサを集合化した部品（**図2**を参照）を採用します．そういった場合，視覚的にBGAのピン配置をPACEのパッケージ・ビューで確認し，メモリまでの配線に交錯が生じないようにピン・スワップ（ピンの

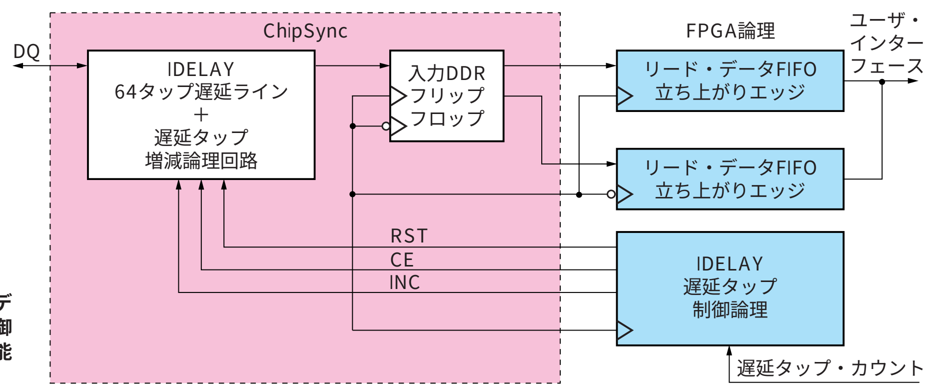
column FPGAによる高速メモリ・インターフェースに対する効果的なアプローチ

DDRやQDRのようなメモリ・インターフェースは，クロック（ストローブ）とデータが並走して伝送するソース同期インターフェースを採用しています．伝送速度が向上すると，高速な書き込み/読み出しを実現できる反面，クロックとデータの間のスキューやジッタ・マージンが小さくなり，インターフェースの信頼性が著しく低下します．データの有効なサンプリング・ウィンドウを確保するためにSSTLのような小振幅のI/O規格を採用しても，電気的特性によるアプローチだけでは，数百Mbps以上のソース同期インターフェースの信頼性を向上させることはできません．

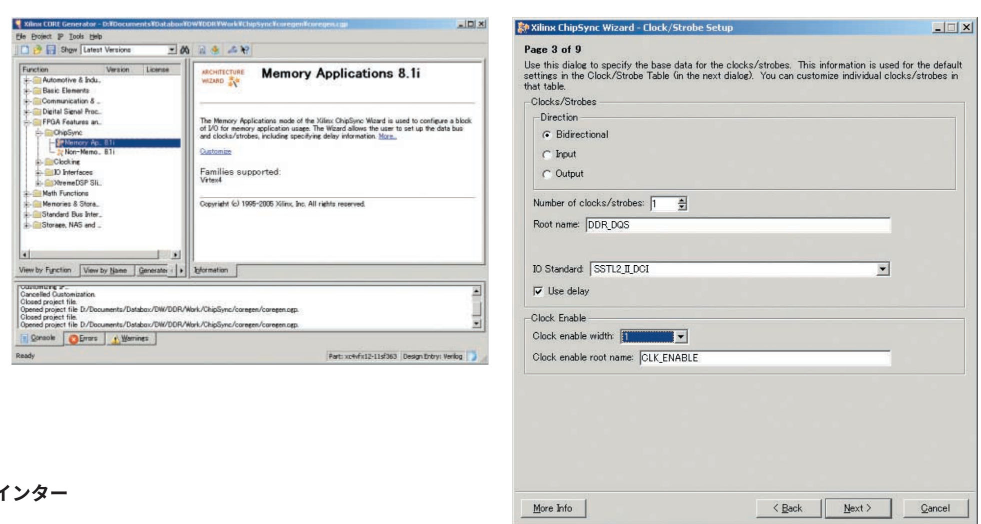
さらに，スキューやジッタ・マージンの低下はプリント基板設計時のインピーダンス制御や等長配線などの制約や規定を増加させるとともに，非常に複雑な論理回路のタイミング解析を必要とします．そういった高速メモリ・インターフェースが抱える問題に有効な手段がXilinx社のFPGA「Virtex-4」や「Virtex-5」に搭載されている「ChipSync」という技術です．

本技術が備えている遅延ブロック（IDELAY）という機能を利用してクロックとデータ，およびデータとデータの間のスキューを調整します．Virtex-4の各I/Oリソースには75psの遅延精度を持つ64タップの絶対遅延ラインが搭載されており，これらの遅延素子を利用して有効サンプリング・ウィンドウの中央にストローブのエッジがくるように調整できます．本技術を用いた遅延回路は，同社の「CORE Generator」を用いて設計します（図A-1，図A-2）．

使用するFPGAの機能をじょうずに使えば，低リスク・高マージンのメモリ・インターフェースを実現できます．



図A-1
ChipSync入力データパス
ChipSync技術を利用した際のDQ入力のデータパスの回路構成．遅延ラインと遅延制御論理によってデータ・スキューの調整が可能になる



図A-2
GUIによる設計画面
ChipSync技術を利用したメモリ・インターフェース用論理回路設計の設定画面

入れ替え）を実施します．また，パッケージ・ビューを用いて，データ・グループの配線に終端用の集合抵抗を適用できるかどうかといった相互配置の位置確認も行えます．PACEはピン配置やピン・スワップのあとの配置情報を論理回路の制約ファイルに反映できるため，ピン配置修正に伴う論理回路のピン制約の設定ミスを防止できます．

このように開発ツールの機能を利用してFPGAのピン配置仕様を決定することにより，後のプリント基板設計にス

ムーズに移行できます．

● 配置配線仕様しだいでその後の開発作業の進捗が決まる

ピン配置時の注意点としては，等長配線仕様の部分で紹介した各データ・グループの信号のピン配置（データとデータ・ストローブ，CLKとアドレスのグループ）については，入出力時のビット・スキューを抑えるため，近接した配置を実施する必要があります．

またSpartan-3の場合，DDRレジスタ（FDDR）を含む近接した二つのI/Oブロック（差動ペアとなる二つのピン・グループ）はクロック入力を共有しています．そのため，あらかじめ位相や周波数の異なるクロックを必要とするDDRインターフェースの配線どうしが，デバイスの規定する差動ペアとなるピンに割り当てられないように設計する必要があります．

ここで説明したDDRインターフェースのような高速，多ビットのデータ転送を行い，かつクロックとデータが同期関係にあるインターフェースの設計では，配置配線仕様はきわめて重要な検討事項です．開発ツールの有効利用とI/O規格の理解を深めておくことが，あとのプリント基板設計や実機動作検証の円滑な実施への近道となります．

3．伝送線路解析

配置配線仕様が決定した後，プリント基板設計を進める際に重要となるのが伝送線路の解析です．伝送線路解析を行うことで，実基板におけるシグナル・インテグリティの変化を事前にシミュレーションで確認することができます．これをもとに，プリント基板設計時の配線規定を策定します．つまり伝送線路解析は，実基板完成の前にあらかじめメモリLSIとFPGAの配線仕様や設計思想に問題がないかどうかを確認する工程と言えます．

● IBISモデルやコネクタの影響を考慮して解析

実際の基板上では，配線による伝播遅延の発生やインピーダンスの不整合による反射，多ビットの信号間干渉によるクロストーク・ノイズなど，シグナル・インテグリティの低下を引き起こす現象が数多く存在します．なお，これらは回路図上では検討できません．現在では伝送線路解析ソフトウェアの機能や解析能力の向上により，卓越した解析スキルがなくても，高精度な伝送線路解析を短時間で行えるようになっています．

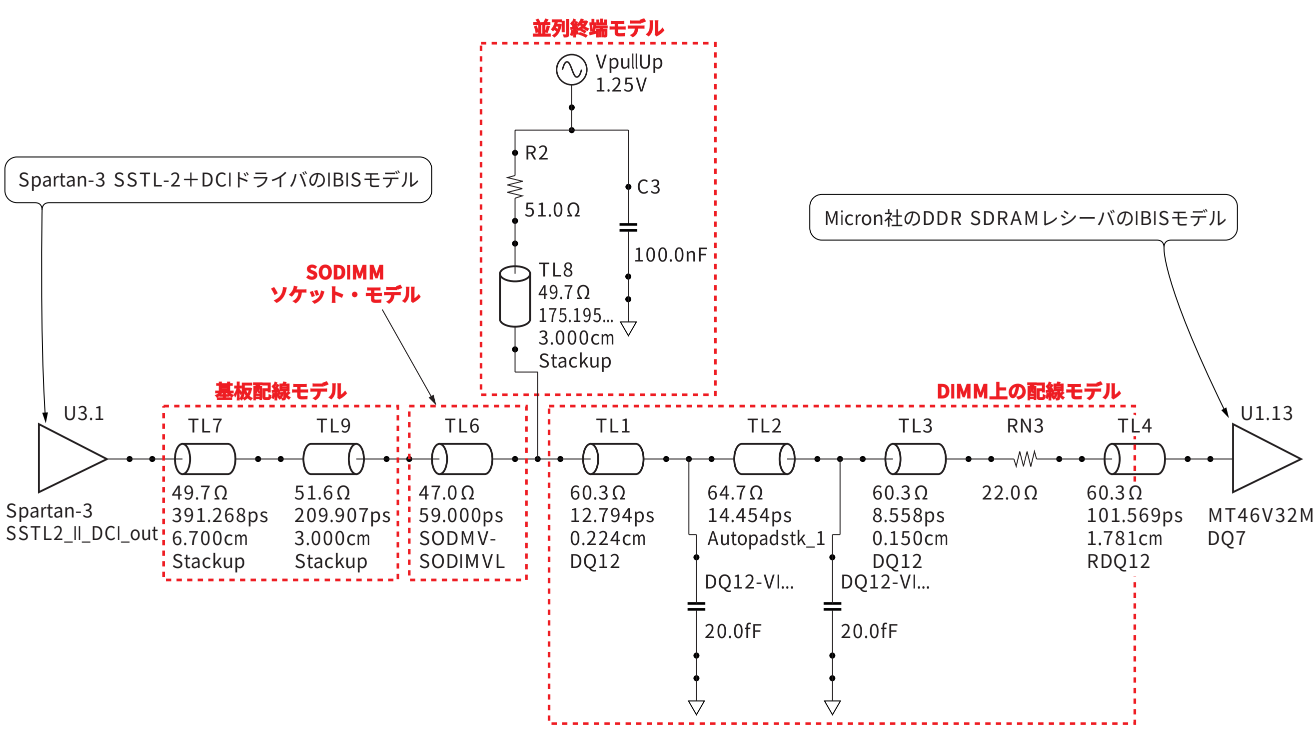


図4　伝送線路の構成
解析する伝送線路をモデリングしたもの．ICのパラメータだけではなく，基板や終端抵抗，コネクタなどを仮想的に構成することによって精度の高い解析を実現する．この図では，DQラインの一例を表現している

今回は，米国Mentor Graphics社の伝送線路解析ツール「HyperLynx GHz」を用いました．メモリ・モジュールを使用した伝送線路解析では，解析精度を向上させるため，メモリLSIやFPGAのIBISモデル注4だけでなく，DIMM上にメモリLSIを搭載するプリント基板の伝送線路パラメータや，メモリ・モジュールをメイン・ボードに取り付けるためのコネクタの影響も考慮する必要があります（**図4**）．

そこで，各メモリ・ベンダが提供しているHyperLynx用のDIMMの伝送線路モデルとFPGAのIBISモデルを利用して，実基板に近いモデルをツール上に構築します．HyperLynxとIBISモデルを用いた伝送線路解析では，専門的なシミュレーション技術を習得する必要はなく，短時間で簡易的な検証を行えました．

● 規格値ではなく実際の製品の電気的特性で解析する

今回実施した伝送線路解析では，転送するデータのビット・ストリームにPRBSを用いることで，実際のデータ転送時に発生する可能性のあるビットの遷移動作を1UI（unit interval）上で再現しています．さらにそれらのシミュレーション波形がメモリの電気的特性（**表4**）にしっかりと適合しているのを確認するため，DDR SDRAM用にカスタマイズしたアイ・マスク・パターンを作成し，そのアイ・マスク上で電気的特性の適合評価を実施しました．ここで紹介する解析ではメモリの電気的特性だけでなく，供給電源の出力電圧誤差なども考慮した電気的特性の許容値を算出することで，伝送する信号の解析誤差を抑えています．

DDR SDRAMのI/O規格であるSSTL-2の終端方法と電気的特性は，米国の電子部品に関する標準化団体であるJEDEC（Joint Electron Device Engineering Council）によって定められています．しかし，JEDECで定められている規定と採用するメモリLSIの電気的特性は，かならずしも一致しません．そのため，コントローラ・デバイスとメモリLSIについては（規格ではなく）実際に使用する製品の電気的特性を適用し，解析する必要があります．

このような解析手法が必要なのは，実際に基板を評価する際に，特性上は規格に適合していても通信できないといった状況がしばしば発生するからです．また，ツールによる伝送線路解析と比較すると，実機の評価環境では検証に非常に多くの時間がかかります．さらに測定環境をそろえることも容易ではありません．したがって，事前に伝送線路解析を行っておくということは，設計者にとって多ビットで高速のメモリ・インターフェースの設計リスクを回避し，基板設計変更をなくして開発を成功に導くための有効なアプローチといえます．

以下に，今回の設計における電気的特性値の算出例を示します．

- 2.5V出力電源の設定値：2.5025 V ……………………(a)
- 電源電圧の総合変動範囲：±3%
- 出力電圧最大値：(a)×103%＝2.5775V（V_{DD}/V_{DDQ}の最大値と等価）
- 出力電圧最小値：(a)×97%＝2.4274V（V_{DD}/V_{DDQ}の最小値と等価）
- V_{REF}最大値：0.51×V_{DD}最大値＝0.51×2.5775＝1.3145V
- V_{REF}最小値：0.49×V_{DD}最小値＝0.49×2.4274＝1.1894V

注4：IBIS（I/O buffer information specification）モデルは，ANSI/EIA-656-Aで標準化されたI/Oの*V-I*特性，およびスイッチング特性などの挙動をモデリングしたもの．

表4　メモリLSIの電気的特性

メモリLSIの入力電圧レベルや振幅の規定などの一覧．製品によって特性が変わる場合もあるため，伝送線路解析や接続するデバイスとの電気的な適合性を検証する際には確認が必要

項目	概要	最小値	最大値	単位
V_{DD}，V_{DDQ}	電源電圧，I/O電圧	2.3	2.7	V
V_{REF}	リファレンス電圧	0.49×V_{DDQ}	0.51×V_{DDQ}	V
V_{TT}	終端電圧	V_{REF}－0.04	V_{REF}＋0.04	V
$V_{IH(DC)}$	直流入力Hレベル電圧	V_{REF}＋0.15	V_{REF}＋0.3	V
$V_{IL(DC)}$	直流入力Lレベル電圧	－0.3	V_{REF}－0.15	V
$V_{IH(AC)}$	交流入力Hレベル電圧	V_{REF}＋0.31	―	V
$V_{IL(AC)}$	交流入力Lレベル電圧	―	V_{REF}－0.31	V
V_{SWING}	入力振幅	―	1.5	V
SLEW	電圧スルーレート	1	―	V/ns

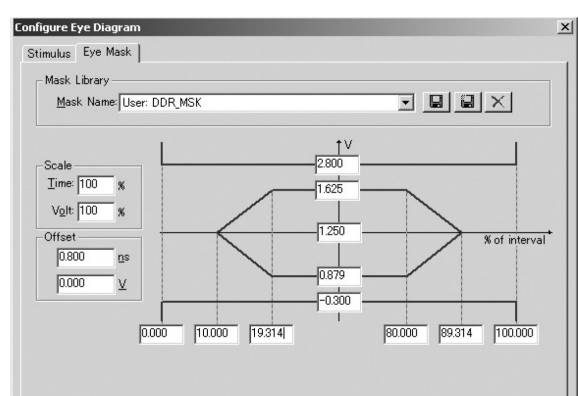


図5　アイ・マスク・パターン

伝送線路解析の際に利用するアイ・マスク・パターン．実際に使用するメモリLSIやデバイスの電気的特性と動作周波数などから算出して，各パラメータを設定する必要がある

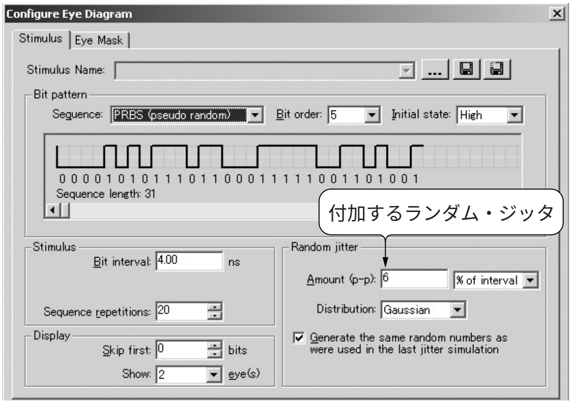


図6　転送データのビット・ストリーム

伝送線路解析の際に仮想的に作成した伝送路上を転送するデータのビット・ストリームの設定とランダム・ジッタの付加を適用することができる

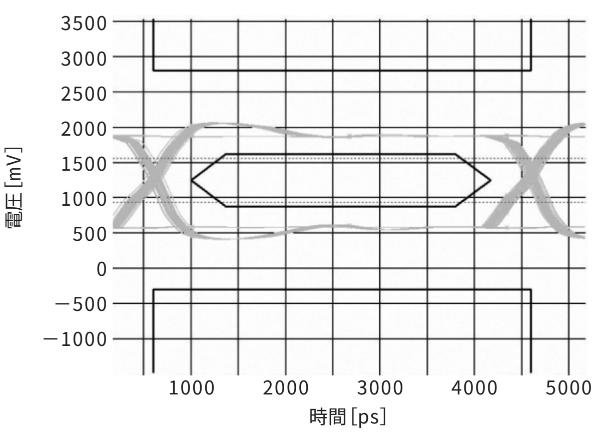


図7　送信端アイ・ダイヤグラム

ドライバ・デバイスの送信端をシミュレーションした際のアイ・ダイヤグラム．出力時のオーバシュートやアンダシュートを確認できる

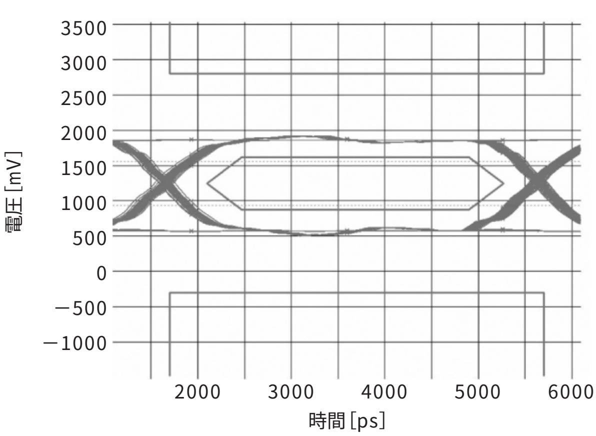


図8　受信端アイ・ダイヤグラム

レシーバ・デバイスの受信端をシミュレーションした際のアイ・ダイヤグラム．電気的には問題なく受信できる特性となっていることがわかる

- $V_{IH(AC)}$最小値：V_{REF}最大値＋0.31＝1.3145＋0.31
 ＝1.6245V ……………………………………………(b)
- $V_{IL(AC)}$最大値：V_{REF}最小値－0.31＝1.1894－0.31
 ＝0.8794V ……………………………………………(c)

以上の結果より，アイ・マスク・パターン作成時に適用する算出値として(b)が電源精度を含めたHレベル入力電圧の最小値となり，(c)が電源精度を含めたLレベル入力電圧の最大値となります(**図5**)．

さらに，伝送線路上のジッタを仮想的に表現するため，1UIに対してピーク・ツー・ピークで6%のランダム・ジッタを付加しています(**図6**)．伝送線路シミュレーションを実施したアイ・ダイヤグラムを考察すると，出力端におけるオーバシュートとアンダシュートが確認できますが，受信端では問題なくメモリLSIの電気的特性の許容範囲内に収まっていることがわかります．

実際の基板において，シミュレーションではパラメータ化しにくい要素も少なくありませんが，これらの波形解析の結果によってプリント基板設計のための配線仕様や配線長，終端スキームに問題がないことを検証することができます(**図7**，**図8**)．

4．メモリ・コントローラの設計

最後に，メモリ・コントローラの設計について説明します．DDRメモリ・コントローラの設計にはXilinx社の「MIG(Memory Interface Generator)」というメモリ・コントローラ設計用のツールを利用します．最近では，メモリ・コントローラを設計者が一から人手で作らなくても，MIGのようなツールを利用することで，開発期間を短縮できるようになりました．

MIGの基本機能には，メモリ・コントローラを搭載するFPGAの選択や動作周波数の設定，データ幅の設定，ピンを配置するバンクの設定などがあります．FPGAを使用したメモリ・コントローラの論理回路に適した構成をGUI上で設計できます(**図9**)．

MIGによって生成した設計ファイル(HDLソース・コード，EDIFネットリスト)や制約ファイル(UCF：User Constraints File)を用いて，使用するメモリ用のコントローラをFPGAに実装します．また，本ツールを使ってメモリ・コントローラを生成した場合，論理シミュレーション用テストベンチも自動生成されます．これとHDLシミュ

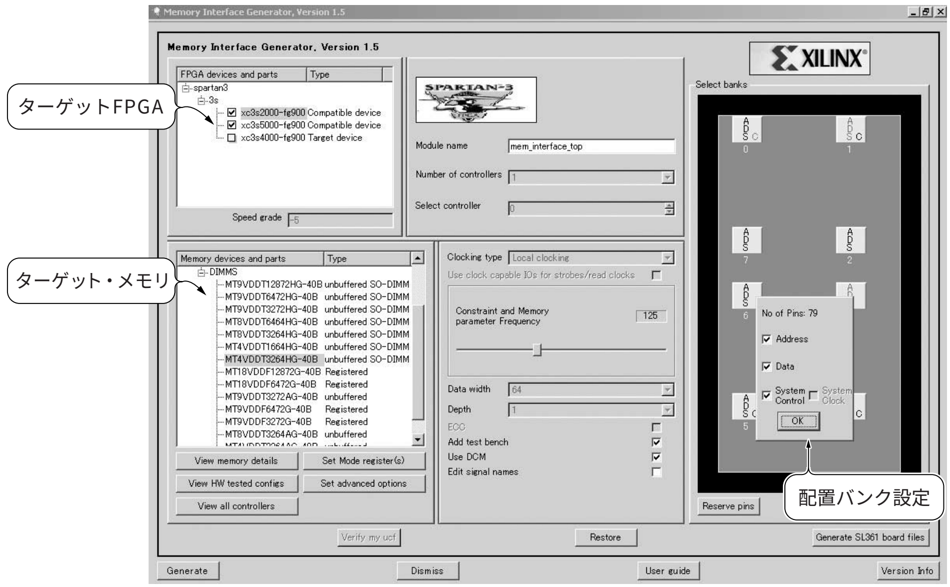


図9
メモリ・コントローラの設計画面
MIGによるメモリ・コントローラの設計GUI画面．使用するメモリの種類や周波数などを設定するだけで，コントローラを設計できる

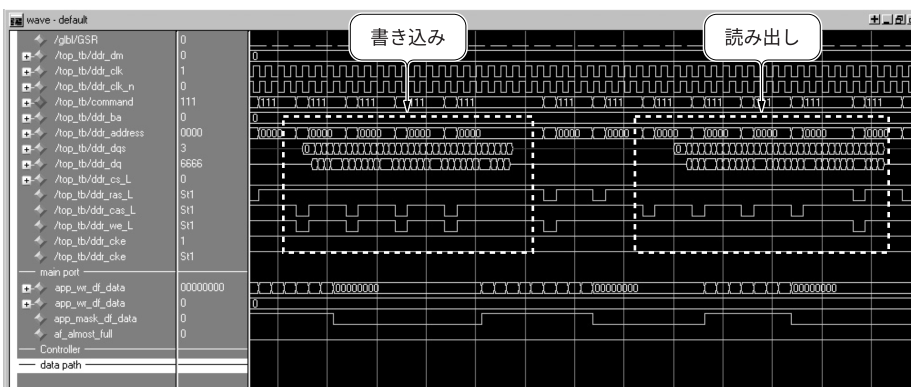


図10
論理シミュレーションの結果
ModelSim SEを用いた論理シミュレーションの結果．事前にコントローラの動作を検証できる

レータを用いて，回路検証を実行します(**図10**)．

今回の設計でも，論理シミュレーションとタイミング解析により，動作を事前に確認しました．

多ピンのFPGAとDDRメモリを搭載した基板設計では，本稿で紹介したような各設計工程を確実に実施すること，および各工程で用いる開発ツールの機能をじょうずに利用することで開発期間を短縮できます．

なお，高速メモリ・インターフェースの設計では，そのほかにも基板材料やソルダ・レジストの選択，基板のベタ・パターンの設計手法，フットプリント・パターンなど，物理的な検討要素がたくさんあります．とくに，組み込みシステムの設計者は，回路などのハードウェア設計やソフトウェア設計のほかにも，基板製造メーカや部品実装メーカとの連携が必要不可欠になっています．

参考・引用*文献

(1) Intel ; PHY Interface for the PCI Express Architecture, June, 2003.
(2) JEDEC SOLID STATE TECHNOLOGY ASSOCIATION ; Stub Series Terminated Logic for 2.5 V (SSTL-2), May 2002.
(3)* Xilinx ; XAPP701 v1.3 Memory Interfaces Data Capture Using Direct Clocking Technique, Sept. 2005.
(4) Xilinx ; DS099 Spartan-3 FPGA Family: Complete Data Sheet, April 2006.
(5) * Micron Technology ; 64MB, 128MB, 256MB (x64, SR) 200Pin DDR SDRAM SODIMMs, Sept. 2004.

ふくだ・みつはる
(株)PALTEK

<筆者プロフィール>
福田光治．テクニカルスペシャリストFAEとして，高速インターフェースや電源，基板設計などの分野を担当．